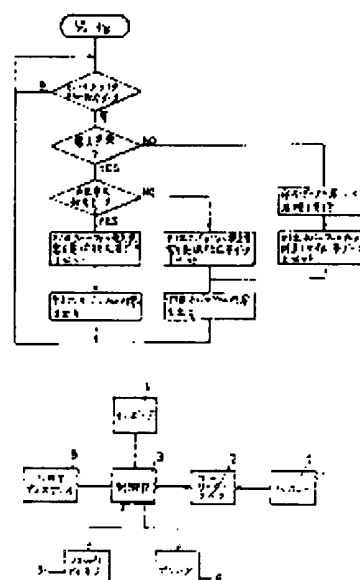


(43) Date of publication of application : **30.05.1988**

G06F 3/08

(72)Inventor : **IIJIMA YASUO**

CONSTITUTION: The IC card 1 is provided with two output buffers, and at the time of informing the abnormality of resending request instruction data, a 2nd output buffer is used. In other information, a 1st output buffer is used by changing a buffer. Since regularly requested response data can be resent to the card reader/writer 2 by allowing the IC card to receive normal resending request instruction data even after generating abnormality in the resending request instruction data obtained from the card reader/writer 2, disturbance in sequence between the card reader/writer 2 and the IC card 1 is not generated.



2002

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-126083

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)5月30日

G 06 K 17/00

G 06 F 3/06

G 06 K 3/08

G 06 K 17/00

3 0 4

B-6711-5B

B-6711-5B

C-6711-5B

D-6711-5B

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 処理方式

⑯ 特 願 昭61-271201

⑰ 出 願 昭61(1986)11月14日

⑱ 発 明 者 飯 島 康 雄 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

処理方式

2. 特許請求の範囲

(1) 第1の電子装置から入力される命令データを第2の電子装置が受取り、前記命令データに含まれる機能コードを解釈し、これに対応する一連の処理を実行した後その処理結果を応答データとして前記第1の電子装置に出力する処理方式において、前記第2の電子装置はデータ出力用の出力バッファを少なくとも2つ以上備えていることを特徴とする処理方式。

(2) 前記第2の電子装置は、前記第1の電子装置から入力される命令データの状態に応じて前記出力バッファを切換えて使用することを特徴とする特許請求の範囲第1項記載の処理方式。

本発明は、前記第2の電子装置は、前記第1の電子装置から入力される命令データの状態に応じて前記出力バッファを切換えて使用することを特徴とする特許請求の範囲第1項記載の処理方式。

1項または第2項記載の処理方式。

(4) 前記特定の命令データは前記第1の出力バッファの内容の出力を要求する命令データであることを特徴とする特許請求の範囲第3項記載の処理方式。

(5) 前記第2の電子装置はいわゆるICカードであることを特徴とする特許請求の範囲第1項記載の処理方式。

(6) 前記第1の電子装置はICカードに対してデータの読出しおよびあるいは書込みを行なうためのカード処理装置であることを特徴とする特許請求の範囲第5項記載の処理方式。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、たとえばカードリーダー・ライター

命令データに含まれる機能コードを解釈し、これに対応する一連の処理を実行した後その処理結果

を応答データとしてカードリーダー・ライタに出力する処理方式に隔り、特にカードリーダー・ライタからの応答データの再送要求をICカードに対してうながすことが可能な処理方式に関する。

(従来の技術)

最近、新たな携帯可能なデータ記憶媒体として、不揮発性のデータメモリおよびCPU(セントラル・プロセッシング・ユニット)などの制御素子を有するICチップを内蔵したICカードが開発されている。この種のICカードは、通常、カードリーダー・ライタを用いて読取させるようになっていて、その読取の際、命令データを用いるのが一般的である。ICカードは、受取った命令データ中の機能コードを解釈し、これに対応する一連の処理を実行し、その処理結果を応答データとしてカードリーダー・ライタに出力する。すなわち、1つの命令データに対して1つの応答データを出力する。この場合、たとえばカードリーダー・ライタとICカードとの間の通信路に異常があり、カードリーダー・ライタがICカードからの応答デ

ータを正しく受取れなかった場合には、カードリーダー・ライタはICカードに対して応答データの再送要求を行なう。このとき、カードリーダー・ライタからの再送要求命令データに異常をきたし、ICカードがこの再送要求命令データを正常に受取れなかった場合、ICカードはその旨をカードリーダー・ライタに応答データとして通知しなければならない。しかし、ICカードのデータ出力用の出力バッファが単一であった場合、この通知のために出力バッファを用いると、以降正常に再送要求命令データを受取っても、出力バッファには上記通知用データしか残っておらず、カードリーダー・ライタが再送要求している応答データが破壊されてしまう。この場合、正規の要求する応答データをカードリーダー・ライタへ再送できないばかりか、それ以降のカードリーダー・ライタとの間のシーケンスが乱れてしまう。

(発明が解決しようとする問題点)

本発明は、上記したように第1の電子装置からの再送要求命令データに異常をきたし、第2の

電子装置がこの再送要求命令データを正常に受取れなかった場合の問題点を解決すべくなされたもので、第1の電子装置からの再送要求命令データに異常をきたした以降でも、第2の電子装置が正常な再送要求命令データを受取ることにより、正規の要求する応答データを第1の電子装置へ再送でき、第1の電子装置と第2の電子装置との間のシーケンスの乱れが生じない処理方式を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は、第1の電子装置から入力される命令データを第2の電子装置が受取り、上記命令データ中に含まれる機能コードを解釈し、これに対応する一連の処理を実行した後その処理結果を応答データとして上記第1の電子装置に出力する処

理を、第2の電子装置からの応答データが何らかの原因で正常な形で受取れなかった場合の第1の電子装置からの再送要求命令データの送出時に、この再送要求命令データの狀態に応じて第2の電子装置自身で出力バッファの切換えが行なえる。たとえば再送要求命令データ異常の通知の際には第2の出力バッファを用い、それ以外の通知には第1の出力バッファを用いる。これにより、第1の電子装置からの再送要求命令データに異常をきたした以降でも、第2の電子装置が正常な再送要求命令データを受取ることにより、正規の要求する応答データを第1の電子装置へ再送でき、第1の電子装置と第2の電子装置との間のシーケンスの乱れが生じない。

(実施例)

以下、本発明の実施例を図1～図4を参照して説明する。

図1は本発明の構成を示すブロック図である。

(作用)

図1に示すように、第1の電子装置100は、ホストコンピュータ、あるいはホームバンキングシステムあるいはショッピングシステムなどの端末装置として用い

られるカード取扱装置の構成例を示すものである。すなわち、この装置は、ICカード1をカード処理装置としてのカードリーダー・ライタ2を介してCPUなどからなる制御部3と接続可能にするとともに、制御部3にキーボード4、CRTディスプレイ装置5、プリンタ6およびフロッピーディスク装置7を接続して構成される。

ICカード1は、ユーザが保持し、たとえば商品購入などの際にユーザのみが知得している暗証番号の参照や必要データの蓄積などを行なうもので、第8図にその機能ブロックを示すように、リード・ライト部11、暗証設定・暗証照合部12、および暗号化・復号化部13などの基本機能を実行する部分と、これらの基本機能を管理するスーパーバイザ14とで構成されている。リード・ライト部11は、カードリーダー・ライタ2との間でデータを読出し、書き込み、あるいは消去を行なう機能である。暗証設定・暗証照合部12は、ユーザが設定した暗証番号の記憶および読出禁止処理を行なうとともに、暗証番号の設定後にその暗証番

号の照合を行ない、以後の処理の許可を与える機能である。暗号化・復号化部13は、たとえば通信回線を介して制御部3から他の端末装置へデータを送信する場合の通信データの漏洩、偽造を防止するための暗号化や暗号化されたデータの復号化を行なうものであり、たとえばDES(Data Encryption Standard)など、十分な暗号強度を有する暗号化アルゴリズムにしたがってデータ処理を行なう機能である。スーパーバイザ14は、カードリーダー・ライタ2から入力された機能コードもしくはデータの付加された機能コードを解釈し、前記基本機能のうち必要な機能を選択して実行させる機能である。

これらの諸機能を発揮させるために、ICカード1は例えば第7図に示すように、制御素子(たとえばCPU)15、記憶内容が消去可能な不揮発性のデータメモリ16、プログラムメモリ17、およびカードリーダー・ライタ2との電気的接触を得るためのコンタクト部18によって構成されており、これらのうち破線内の部分(制御素子15

データメモリ16、プログラムメモリ17)は1つのICチップで構成されている。ここに、制御素子15は、少なくとも2つ以上のデータ出力用の出力バッファ、例えば第1の出力バッファ19および第2の出力バッファ20を備えている。プログラムメモリ17は、たとえばマスクROMで構成されており、前記各基本機能を実現するサブルーチンを備えた制御素子15の制御プログラムを記憶するものである。データメモリ16は各種データの記憶に使用され、たとえばEEPROMで構成されている。

カードリーダー・ライタ2は、ICカード1と制御部3との間で機能コードやデータの授受を行なうものであり、制御部3からのマクロ命令に基づいてICカード1に対して1命令1応答動作を行なう機能を有している。具体的に、第9図に

クト部22、全体の制御を司るCPUなどからなる制御回路23、制御回路23と制御部3との間で命令データや応答データの授受を行なうための入出力インタフェース回路24、およびデータを記憶するデータメモリ25などから構成されている。

次に、このような構成において動作を説明する。まず、カードリーダー・ライタ2は第3図に示すフローチャートにしたがって動作する。すなわち、定常状態においては制御部3からの命令データ待ち状態となっている。制御部3から命令データが入力されると、制御回路23はICカード1が実行中であるか否かを確認し、実行中である場合には多重命令データエラーを意味する応答データを制御部3に出力し、再び命令データ待ち状態に戻る。ICカード1が実行中でない場合には、制御

図9は、ICカード1の構成例を示すブロック図である。図中、21は、所定の位置にセットされたICカード1のコンタクト部18に電気的に接触されるコンタ

ICカード1からの応答データがあると、制御回路23は制御部3に応答データを出力し、再び命

令データ持ち状態に戻る。

なお、カードリーダー・ライタ2からICカード1に出力される命令データは、たとえば第4図に示すようなフォーマットであり、同図(a)に示すように逐次番号情報と機能コードのみの形態、または同図(b)に示すように逐次番号情報および機能コードにデータを付加した形態がある。

ICカード1は第1図に示すフローチャートにしたがって動作する。すなわち、定常状態においてはカードリーダー・ライタ2からの命令データ待ち状態となっている。カードリーダー・ライタ2から命令データが入力されると、制御素子15はその入力された命令データに電文異常があるか否かを判断する。電文異常がなければ、制御素子15は入力された命令データに基づく処理を実行し、その処理結果を示す応答データを第1の出力バッファ19にセットする。そして、制御素子15はこの第1の出力バッファ19の内容をカードリーダー・ライタ2に出力し、再び命令データ待ち状態に戻る。この場合の応答データは、たとえば第2

図に示すようなフォーマットであり、処理結果を示す情報に付加された命令データ中に付加されていた逐次番号情報および機能コードを付加し、カードリーダー・ライタ2との間のシーケンスが乱れた場合の防護措置を講じる。

入力された命令データに電文異常があった場合、制御素子15はその命令データが再送要求命令データであるか否かを判断する。再送要求命令データでなければ、制御素子15は第1の出力バッファ19に電文異常を意味する応答データをセットし、この第1の出力バッファ19の内容をカードリーダー・ライタ2に出力し、再び命令データ待ち状態に戻る。再送要求命令データであれば、制御素子15は第2の出力バッファ20に電文異常を意味する応答データをセットし、この第2の出力バッファ20の内容をカードリーダー・ライタ2に出力し、再び命令データ待ち状態に戻る。

すなわち、ICカード1内には出力バッファが2つあり、再送要求命令データが電文異常であると判断した場合には第2の出力バッファ20を用

い、それ以外の処理結果などの出力は第1の出力バッファ19を用いるものである。これは、もし出力バッファが1つだけとした場合、再送要求命令データが電文異常であると判断し、この出力バッファに判断結果を格納した後その内容を出力することになり、以降、再送要求命令データを正常に受取った場合、出力バッファには前回の電文異常を示す応答データのみが格納されているので、カードリーダー・ライタ2が要求している再送データの内容が破壊されてしまうからである。この場合、それ以降のシーケンスが乱れてしまう。

次に、カードリーダー・ライタ2の具体的な動作について第5図に示すフローチャートを参照して説明する。まず、制御回路23は逐次番号情報を初期化した後、制御部3からの命令データ待ち状態に入る。このとき、制御部3からの命令データが

制御回路

であるか否かを検出し、実行中である場合には多重命令データエラーを意味する応答データを制御部3に出力し、再び命令データ待ち状態に戻

る。ICカード1が実行中でない場合には、制御回路23は逐次番号情報を付加し、ICカード1に命令データを出力し、ICカード1からの応答データ待ち状態となる。このとき、あらかじめ定められたタイムアウト値をオーバーする前に応答データが受信されなければ、再送要求をICカード1に促す。このとき、制御回路23は再送要求カウンタをカウントアップすることにより、あらかじめ定められた回数だけ再送要求を行ない、その回数に達するとタイムアウトを意味する応答データを制御部3に出力し、再び命令データ待ち状態に戻る。

ICカード1からの応答データを受信すると、制御回路23はその応答データが再送要求に対するものか否かを判断し、再送要求のものであれば

制御回路 逐次番号情報

制御部3からの命令データがマクロ命令であるか否かを判断する。マクロ命令であった場合には、ICカード1からの応答データ中の逐次番号

情報をカウントアップし、次回送出する命令データに付加する。そして、マクロ命令が終了したなら応答データを制御部3に出力し、再び命令データ待ち状態に戻る。マクロ命令でなければ、直ちに応答データを制御部3に出力し、再び命令データ待ち状態に戻る。

第6図はカードリーダー・ライタ2とICカード1との具体的な送信手順を示すもので、たとえば機能コード(A)という命令データを2回送って出力した場合における具体例を示している。第1回目送出分の命令データについては逐次番号情報は「1」、このときの応答データの逐次番号情報も「1」である。次に、第2回目送出分の命令データがICカード1に認識されなかったとする。このとき、応答データが出力されないで、カードリーダー・ライタ2は第3回目送出分として再送要求を行なう。このときの逐次番号情報は「3」である。このとき、ICカード1が再送要求命令データを受取った際、電文異常と判断したとすると、それを応答データとして出力する。カードリ

ーダ・ライタ2はこれを受取ると、第4回目送出分として再度、再送要求を行なう。このときの逐次番号情報は「4」である。ICカード1は正常にこれを受取ると、第1回目送出分の応答データを出力する。カードリーダー・ライタ2はこれを受取ると、それに付加されている逐次番号情報「1」をカウントアップしたものを第5回目送出時に付加する。

このように、ICカードに出力バッファを2つ備え、再送要求命令データ異常の通知の際には第2の出力バッファを用い、それ以外の通知には第1の出力バッファを用いるようにバッファ切換えを行なうことにより、カードリーダー・ライタからの再送要求命令データに異常をきたした以降でも、ICカードが正常な再送要求命令データを受取ることにより、正規の要求する応答データをカードリーダー・ライタへ再送でき、カードリーダー・ライタとICカードとの間のシーケンスの乱れが生じない。

なお、前記実施例は、第1の電子装置をカード

リーダー・ライタ2に、第2の電子装置をICカード1とした例であるが、たとえば第1の電子装置を制御部3に、第2の電子装置をカードリーダー・ライタ2としてもよい。要するに、第1の電子装置から入力される命令データを第2の電子装置が受取り、上記命令データ中に含まれる機能コードを解釈し、これに対応する一連の処理を実行した後その処理結果を応答データとして上記第1の電子装置に出力する処理方式であれば適用可能である。

〔発明の効果〕

以上詳述したように本発明によれば、第1の電子装置からの再送要求命令データに異常をきたした以降でも、第2の電子装置が正常な再送要求命令データを受取ることにより、正規の要求する応答データを第1の電子装置へ再送でき、第1の

第1図はICカードの動作を説明するフローチャート、第2図はICカードから出力される応答データのフォーマットを示す図、第3図はカードリーダー・ライタの動作を説明するフローチャート、第4図はカードリーダー・ライタから出力される命令データのフォーマットを示す図、第5図はカードリーダー・ライタの具体的な動作を説明するフローチャート、第6図はカードリーダー・ライタとICカードとの具体的な送信手順を示す図、第7図はICカードに内蔵するICチップの構成を示すブロック図、第8図はICカードの機能ブロックを示す図、第9図はカードリーダー・ライタの構成を示すブロック図、第10図はカード取扱装置の構成を示すブロック図である。

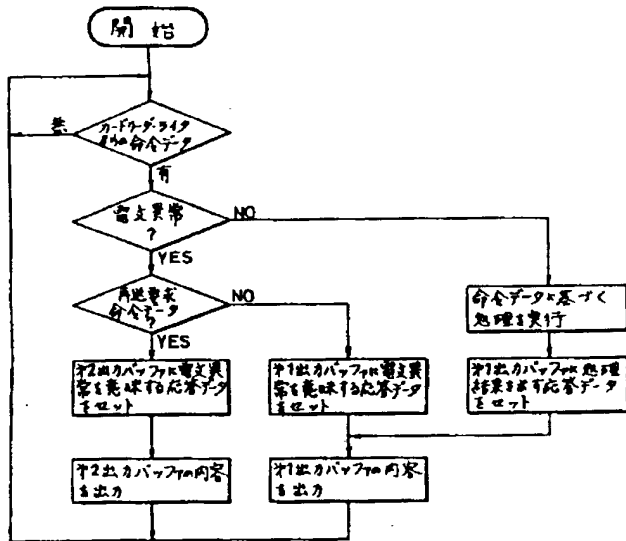
1...ICカード(第2の電子装置)、2...カードリーダー・ライタ(第1の電子装置)、15

バッファ、23...制御回路。

出願人代理人 井理士 飾 江 武 彦

4. 図面の簡単な説明

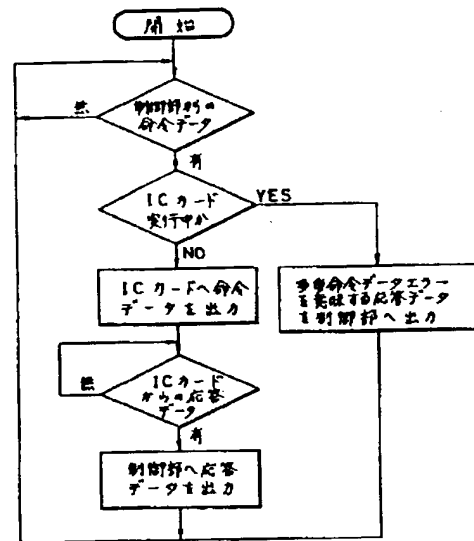
図は本発明の一実施例を説明するためのもので、



第 1 図



第 2 図

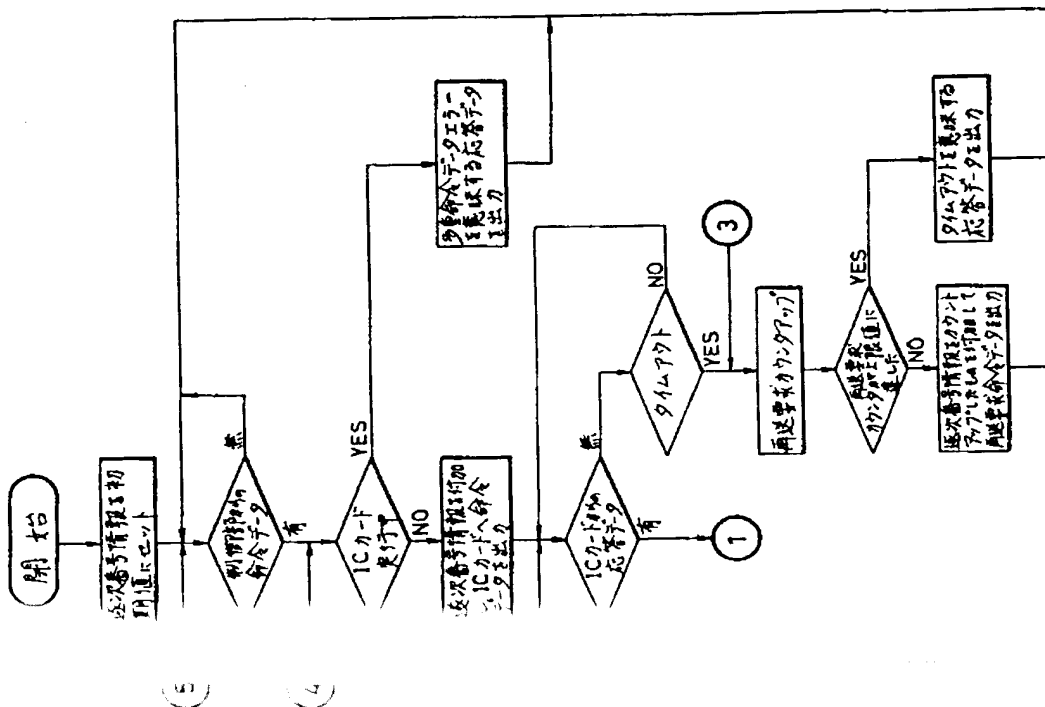


第 3 図

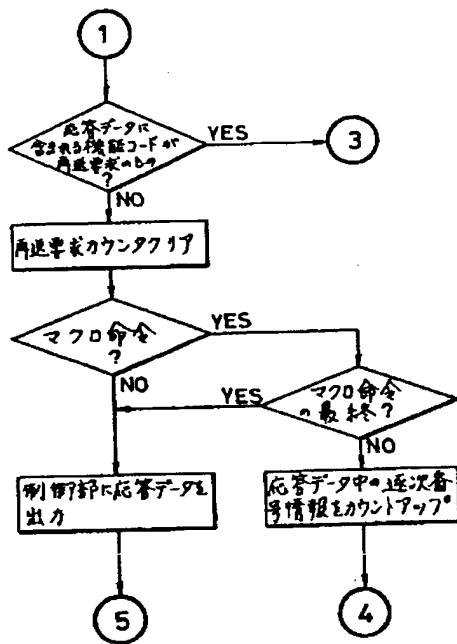
(a) 逐次番号情報 | 検出コード

(b) 逐次番号情報 | 検出コード | データ

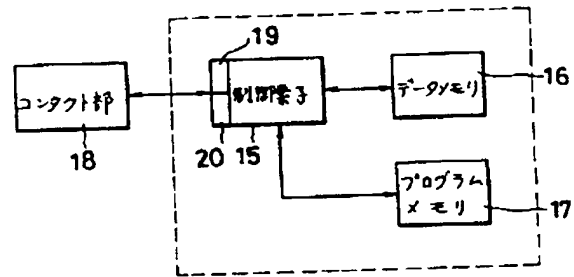
第 4 図



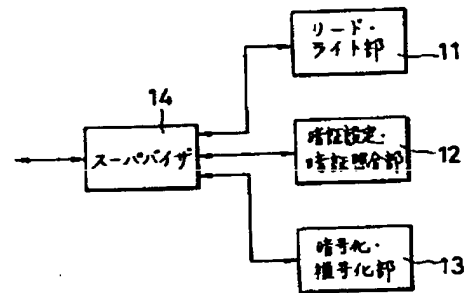
(a) 第 5 図



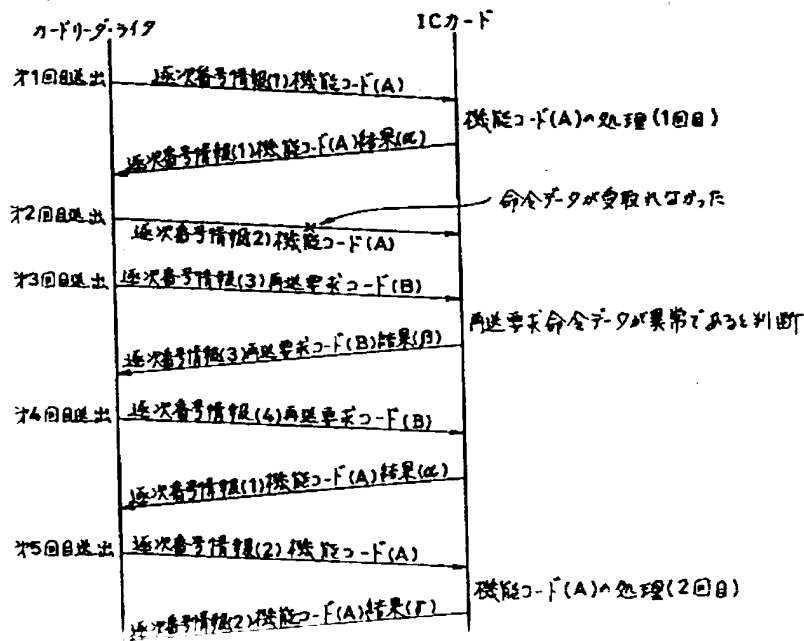
(b)
第 5 図



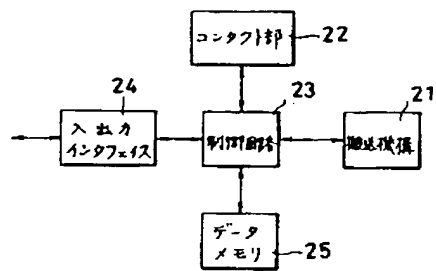
第 7 図



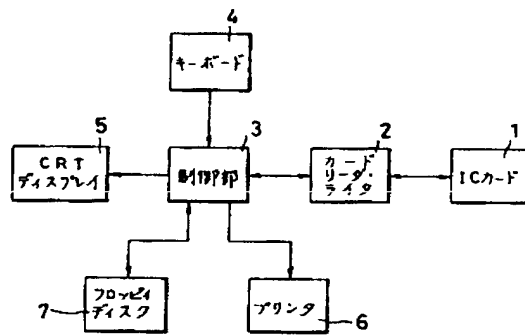
第 8 図



第 6 図



第 9 図



第 10 図